

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-273394
(43)Date of publication of application : 18.10.1996

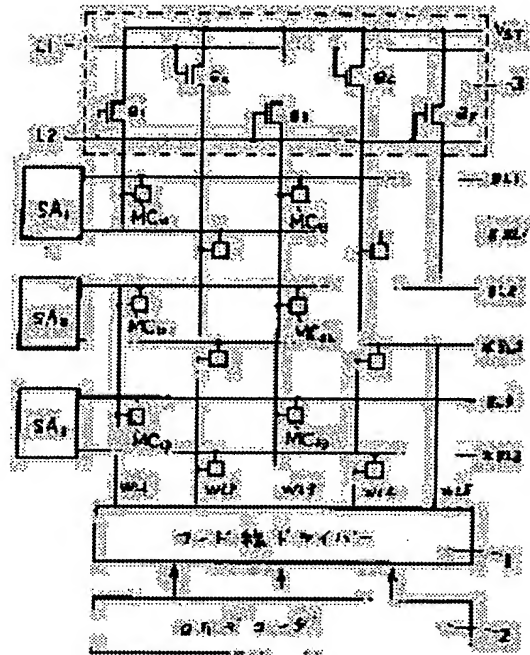
(51)Int.Cl. 611C 29/00
611C 11/401

(21)Application number : 07-073999 (71)Applicant : SANYO ELECTRIC CO LTD
(22)Date of filing : 30.03.1995 (72)Inventor : IIJIMA SATOAKI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To shorten the test time by performing the stress test of a memory cell while applying a high voltage collectively to a plurality of word lines.
CONSTITUTION: At the time of test, a high voltage source VST is set at H level. When a control signal L1 is pulled up to H level, voltage applying transistors TrQ2, TrQ4 are turned ON to connect word lines WL2, WL4 with the high voltage source VST. Since word lines WL1, WL3 are low level, high voltage stress is applied collectively between adjacent word lines. When a control signal L2 is pulled up to H level, voltage applying transistors TrQ1, TrQ3, TrQ5 are turned ON to connect the word lines WL1, WL3, WL5 with the high voltage source VST thus applying high voltage stress to all word lines.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-273394

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00 11/401	3 0 3		G 1 1 C 29/00 11/34	3 0 3 B 3 7 1 A

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平7-73999

(22) 出願日 平成7年(1995)3月30日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 飯島 聡章

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 弁理士 岡田 敬

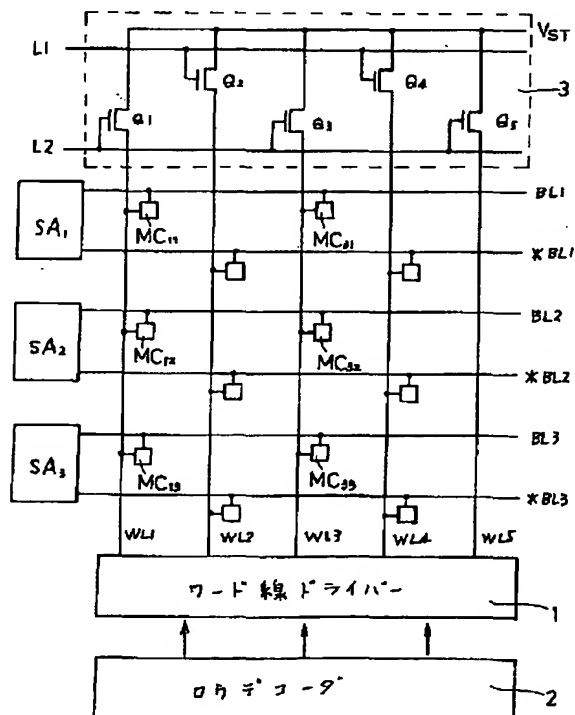
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 複数のワード線に一括して高電圧を印加する回路を設けることにより、メモリセルのストレステストの効率化を図ること。

【構成】 半導体基板上に互いに平行に延在された複数のワード線WLと、前記複数のワード線WLと直行するように延在された複数のビット線対BL、*BLと、前記ビット線対BL、*BLに接続され、前記ワード線WLによって選択される複数のメモリセルMCとを有する半導体記憶装置において、テスト時に前記複数のワード線WLに高電圧を一括して印加する電圧印加回路手段

(3) を設け、前記メモリセルMCのストレステストを行う。



【特許請求の範囲】

【請求項1】 半導体基板上に互いに平行に延在された複数のワード線と、前記複数のワード線と直行するように延在された複数のビット線対と、前記ビット線対に接続され、前記ワード線によって選択される複数のメモリセルとを有する半導体記憶装置において、テスト時に前記複数のワード線に高電圧を一括して印加する電圧印加回路手段を設け、前記メモリセルのストレステストを行うことを特徴とする半導体記憶装置。

【請求項2】 半導体基板上に互いに平行に延在された複数のワード線と、前記複数のワード線と直行するように延在された複数のビット線対と、前記ビット線対に接続され、前記ワード線によって選択される複数のメモリセルとを有する半導体記憶装置において、前記ワード線ごとにその端と高電圧源との間に電圧印加用トランジスタを設け、テスト時に該トランジスタを交互に2つの制御信号に基づいて制御することにより、メモリセルのストレステストを行うことを特徴とする半導体記憶装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体記憶装置に関し、特にメモリのストレステストの改善に関する。近年のDRAMの微細化、大規模化の進展はめざましく、64Mビット、256Mビット、さらには1Gビットのものが相次いで開発されている。これに伴い、ワードの配線長も長くなり、また隣接するワード線間のスペースも狭くなっているため、メモリのストレステストは信頼性確保のため重要である。

【0002】 しかし、メモリ容量の大規模化によって、ストレステストの所要時間も長くありつつあり、テストの効率化が求められている。そこで、本発明では、テスト時にワード線に一括して高電圧を印加することにより、ストレステストの効率化、高信頼性の確保を図ったものである。

【0003】

【従来の技術】 従来のDRAMの構成を模式図(図3)を参照して説明する。図3において、複数のワード線WL_iは、半導体基板(不図示)を互いに平行に延在されている。そのワード線の一端はワード線ドライバー

(1)に接続されており、ロウデコーダ(2)の出力を受けていずれか1つのワード線ドライバー(1)が駆動されることで、1本のワード線が選択され、かつ昇圧される。

【0004】 そして、ワード線WL_iに直交するように、複数のビット線対BL_j、*BL_jが設けられ、その交点にメモリセルMC_{ij}が設けられている。各ビット線対BL_j、*BL_jの間にはセンスアンプSA_jが設けられ、その出力は、I/O線に接続されている。従来のメモリのストレステストは、電源電圧を高く設定して、選択されたワード線WL_iの昇圧を行い、その後、メモリ

セルMC_{ij}の読み出しや書き込みを行うことにより行っていた。

【0005】

【発明が解決しようとする課題】 しかしながら、従来の半導体記憶装置においては、上記のように、ロウデコーダで選択されたワード線WL_iを1本ずつ昇圧してストレステストを行っていたので、テスト時間が非常に長くなるという欠点があった。特に、大規模化されたDRAMでは、ワード線の数も多く、そのテスト効率は悪化している。

【0006】 本発明は、上記の課題に鑑みてなされたものであり、複数のワード線に一括して高電圧を印加する回路を設けることにより、メモリセルのストレステストの効率化を図ることを目的としている。

【0007】

【課題を解決するための手段】 上記課題を解決するために、本発明は、半導体基板上に互いに平行に延在された複数のワード線と、前記複数のワード線と直行するように延在された複数のビット線対と、前記ビット線対に接続され、前記ワード線によって選択される複数のメモリセルとを有する半導体記憶装置において、テスト時に前記複数のワード線に高電圧を一括して印加する電圧印加回路手段を設け、前記メモリセルのストレステストを行うことを特徴としている。

【0008】 また、本発明は、前記ワード線ごとにその端と高電圧源との間に電圧印加用トランジスタを設け、テスト時に該トランジスタを交互に2つの制御信号に基づいて制御することにより、メモリセルのストレステストを行うことを特徴としている。

【0009】

【作用】 本発明によれば、テスト時に前記複数のワード線に高電圧を一括して印加する電圧印加回路手段を設け、前記メモリセルのストレステストを行うようにしたので、テスト時間を大幅に短縮することができる。さらに、本発明によれば、ワード線ごとにその端と高電圧源との間に電圧印加用トランジスタを設け、テスト時に該トランジスタを交互に2つの制御信号に基づいて制御しているので、1つの制御信号をHレベルにすることで隣接するワード線間に高電圧がかかった状態を作りだし、ワード線間のショートテストを行うこともできる。そして、2つの制御信号をHレベルにすることで、すべてのワード線に高電圧ストレスをかけることが可能になる。したがってメモリセルのストレステストを効率よく行うことができる。

【0010】

【実施例】 以下で、本発明の実施例を図1及び図2を参照して説明する。図1において、複数のワード線WL_iは、半導体基板(不図示)を互いに平行に延在されている。そのワード線の一端はワード線ドライバー(1)に接続されており、ロウデコーダ(2)の出力を受けてい

ずれか1つのワード線ドライバー(1)が駆動されることで、1本のワード線が選択され、かつ昇圧される。

【0011】そして、ワード線 WL_i に直交するように、複数のビット線対 BL_j 、 $*BL_j$ が設けられ、その交点にメモリセル MC_{ij} が設けられている。各ビット線対 BL_j 、 $*BL_j$ の間にはセンスアンプ SA_j が設けられ、その出力は、I/O線に接続されている。上記の点は、従来例と同様である。本発明は、さらに、テスト時に前記複数のワード線に高電圧を一括して印加する電圧印加回路(3)を設けた点を特徴とする。この電圧印加回路(3)は、ワード線 WL_i ごとにその端と高電圧源 VST との間にNチャネル型の電圧印加用トランジスタ $Q1 \sim Q5$ を設け、テスト時に該トランジスタ $Q1 \sim Q5$ を交互に2つの制御信号 $L1$ 、 $L2$ に基づいて制御したものである。高電圧源 VST は、電源電圧を昇圧して供給してもよいし、外部端子から供給することもできる。また、2つの制御信号 $L1$ 、 $L2$ も同様に高電圧で動作する。

【0012】いま、テスト時において、高電圧源 VST をHレベル(例えば、10V)に設定する。次に、制御信号 $L1$ をHレベルに立ち上げると、電圧印加用トランジスタ $Q2$ 、 $Q4$ がオン状態になり、ワード線 $WL2$ 、 $WL4$ が高電圧源 VST に接続される。このとき、ワード線 $WL1$ 、 $WL3$ 、 $WL5$ はLレベルであるから、隣接するワード線間に一括して高電圧ストレスが印加される。次に、制御信号 $L1$ のHレベルを維持しながら、制御信号 $L2$ をHレベルに立ち上げると、電圧印加用トランジスタ $Q1$ 、 $Q3$ 、 $Q5$ がオン状態になり、ワード線 $WL1$ 、 $WL3$ 、 $WL5$ も高電圧源 VST に接続され、これにより、すべてのワード線に高電圧ストレスが印加される。そして、その後、高電圧源 VST 及び制御信号 $L1$ 、 $L2$ をLレベルに立ち下げ、通常の読み出し動作または書き込み動作を行い、その動作が正常か否かをチェックする。すなわち、読み出しの場合は、ロウデコーダ(2)により選択された1本のワード線が昇圧され、メモリセル MC_{ij} のデータがビット線対 BL_j 、 $*BL_j$ に出力され、そのビット線間の電圧差をセンスアンプ SA_j によって増幅し、I/O線を介して、I/O端子に出力する。そして、その出力されたデータが正しいかどうかを判定する。

【0013】このように、本発明によれば、従来と異なり、ワード線に一括して高電圧を印加しているのも、メモリセルのストレステストをきわめて効率的に行うことが可能になる。なお、本発明は、DRAMに限らず、複数のワード線を有するメモリ、例えばSRAM、EEPROM等にも適用することができる。

【0014】

【発明の効果】以上説明したように、本発明によれば、テスト時に前記複数のワード線に高電圧を一括して印加する電圧印加回路手段を設け、前記メモリセルのストレステストを行うようにしたしたので、テスト時間を大幅に短縮することができる。さらに、本発明によれば、ワード線ごとにその端と高電圧源との間に電圧印加用トランジスタを設け、テスト時に該トランジスタを交互に2つの制御信号に基づいて制御しているので、1つの制御信号をHレベルにすることで隣接するワード線間に高電圧がかかった状態を作りだし、ワード線間のショートテストを行うこともできる。そして、2つの制御信号をHレベルにすることで、すべてのワード線に高電圧ストレスをかけることが可能になる。したがって、メモリセルのストレステストを効率よく行うことができ、特に、微細化及び大規模化した半導体記憶装置においてその効果は大きい。

【図面の簡単な説明】

【図1】本発明の実施例に係る半導体記憶装置を説明する回路図である。

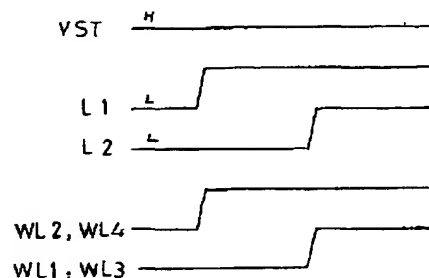
【図2】本発明の実施例に係る半導体記憶装置の動作を説明するタイミング図である。

【図3】従来例に係る半導体記憶装置を説明する回路図である。

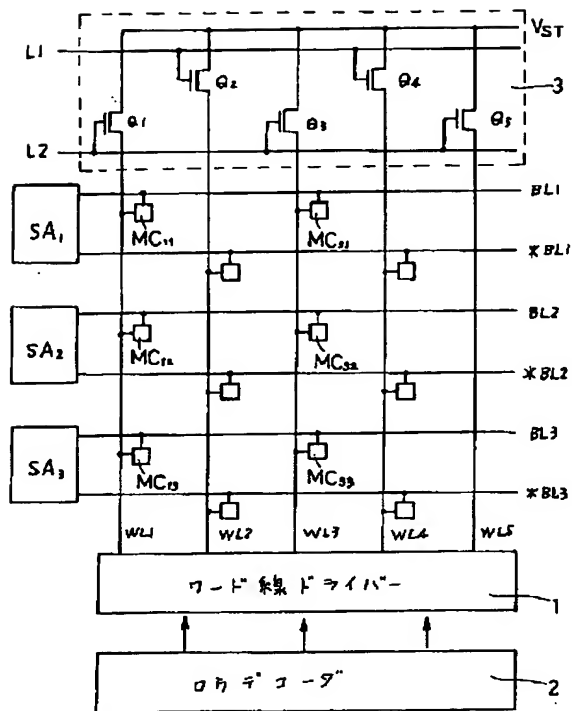
【符号の説明】

1	ワード線ドライバー
2	ロウデコーダ
3	電圧印加回路
WL_i	ワード線
$BL_j, *BL_j$	ビット線対
SA_j	センスアンプ
$Q1 \sim Q5$	クランプ用トランジスタ
$L1, L2$	制御信号

【図2】



【図 1】



【図 3】

